

日本国特許庁
JAPAN PATENT OFFICE

#2 Priority
paper
10-19-01
Richter

J1036 U.S. PTO
09/883210
06/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 6月20日

出願番号
Application Number:

特願2000-185152

出願人
Applicant(s):

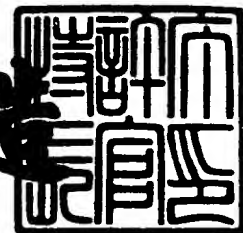
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 A000002005

【提出日】 平成12年 6月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/768

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

 【氏名】 新田 博行

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

 【氏名】 福住 嘉晃

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

 【氏名】 幸山 裕亮

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 1 8 5 1 5 2

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上層に設けられた絶縁膜と、
この絶縁膜に形成された溝部の、少なくとも底面に選択的に設けられた導電膜と、
この導電膜上に、前記溝部の側壁との間に空間領域を有して形成された配線層と
を具備してなることを特徴とする半導体装置。

【請求項 2】 前記導電膜は、前記配線層よりも比抵抗が高いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板の上層に設けられた絶縁膜と、
この絶縁膜に埋め込み形成された配線層と、
前記配線層の底面に設けられた第 1 の導電膜と、
前記配線層の側壁に設けられ、前記第 1 の導電膜と異なる第 2 の導電膜と
を具備してなることを特徴とする半導体装置。

【請求項 4】 前記第 2 の導電膜は、前記配線層と異なる材料からなることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 半導体基板の上層に設けられた第 1 の絶縁膜と、
この第 1 の絶縁膜に埋め込み形成された配線層と、
前記配線層の底面に設けられた第 1 の導電膜と、
前記配線層の側壁に設けられ、前記第 1 の絶縁膜と異なる第 2 の絶縁膜と
を具備してなることを特徴とする半導体装置。

【請求項 6】 半導体基板の上層に設けられた第 1 の絶縁膜と、
この第 1 の絶縁膜に埋め込み形成された配線層と、
前記配線層の底面に設けられた第 1 の導電膜と、
前記配線層と前記第 1 の絶縁膜とは異なる第 2 の絶縁膜を介して形成されたコンタクトプラグと
を具備してなることを特徴とする半導体装置。

【請求項 7】 半導体基板の上方に絶縁膜を形成する工程と、
前記絶縁膜に溝部を形成する工程と、
前記溝部の内面に沿って導電膜を形成する工程と、
前記導電膜を介して、前記溝部内に第 1 の導電材料を埋め込んで配線層を形成する工程と、
前記溝部の側壁部分に存在する前記導電膜を選択的に除去する工程と
を備えてなることを特徴とする半導体装置の製造方法。

【請求項 8】 前記絶縁膜上に第 2 の絶縁膜を形成し、前記導電膜が除去された前記溝部の側壁と前記配線層との間に空間領域を設ける工程を、さらに備えることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記導電膜が除去された前記溝部の側壁と前記配線層との間の領域内に、第 2 の導電材料を埋め込む工程を、さらに備えることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 半導体基板の上方に第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜に溝部を形成する工程と、
前記溝部の内壁面に第 2 の絶縁膜を形成する工程と、
前記溝部の内面に沿って導電膜を形成する工程と、
前記導電膜を介して、前記溝部内に導電材料を埋め込んで配線層を形成する工程と、
前記第 2 の絶縁膜を除去する工程と
を備えてなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関するもので、特に、ダマシン構造の配線に関する。

【0002】

【従来の技術】

近年、半導体装置は微細化が進み、従来からの R I E (Reactive Ion Etching

）法による配線の形成が困難になっている。これは、導電膜の R I E 法による加工において、歩留まりの向上が難しいことや、平坦化が難しいことなどに起因している。

【 0 0 0 3 】

このような問題を解決する技術として、従来、ダマシン構造の配線（以下、ダマシン配線という）が知られている。

【 0 0 0 4 】

図 9 は、従来のダマシン配線の製造工程を概略的に示すものである。たとえば、まず、半導体基板（図示していない）上に形成された層間絶縁膜 1 0 1 に、周知のリソグラフィ法および R I E 法を用いて配線パターン溝 1 0 3 を形成する（同図（a）参照）。

【 0 0 0 5 】

次に、全面にバリアメタル膜 1 0 5 を堆積させた後、さらに、導電体膜 1 0 7 を堆積させて、上記溝 1 0 3 内を完全に埋め込む（同図（b）参照）。

【 0 0 0 6 】

次に、CMP (Chemical Mechanical Polishing) 法を用いて、上記溝 1 0 3 内を除く、上記導電体膜 1 0 7 および上記バリアメタル膜 1 0 5 を除去し、平坦化を行うことで、ダマシン配線 1 0 9 を形成する（同図（c）参照）。

【 0 0 0 7 】

以上のようなプロセスを繰り返すことにより、多層構造の配線の形成が可能となっている。

【 0 0 0 8 】

しかしながら、上記した従来の方法では、タングステン (W) やアルミニウム (A l) などの導電体膜を埋め込む際に、チタンナイトライド (T i N) やニオブ (N b) などのバリアメタルを成膜する必要がある。このバリアメタルは、W の層間絶縁膜との密着性を高め、かつ、グルーレイヤとして機能するものであり、または、A l のリフロー時のバリア層として機能するものである。

【 0 0 0 9 】

一般に、バリアメタルの比抵抗は、導電体膜の比抵抗よりも高い値になってい

る。そのため、R I E 法により形成される配線（以下、R I E 配線）と比較すると、ダマシン配線は全体的に配線抵抗が高いという問題があった。

【 0 0 1 0 】

図 1 0 は、同一の線幅 L を有して形成されたダマシン配線と R I E 配線とを比較して示すものである。

【 0 0 1 1 】

同図（a）に示すように、ダマシン配線 1 0 9 の場合、導電体膜 1 0 7 の両壁面にバリアメタル膜 1 0 5 が存在するため、このバリアメタル膜 1 0 5 の膜厚（ $2b$ ）の分だけ、導電体膜 1 0 7 の膜幅 L' はダマシン配線 1 0 9 の線幅 L よりも小さくなる（ $L' = L - 2b < L$ ）。

【 0 0 1 2 】

これに対し、同図（b）に示すように、R I E 配線 2 0 1 の場合は、導電体膜 1 0 7 の膜幅 L' が R I E 配線 2 0 1 の線幅 L に等しい（ $L' = L$ ）。

【 0 0 1 3 】

すなわち、ダマシン配線 1 0 9 に占める導電体膜 1 0 7 の断面積（体積）は、R I E 配線 2 0 1 のそれに比べ、相対的に小さくなる。

【 0 0 1 4 】

バリアメタル膜 1 0 5 の膜厚（ b ）は、導電体膜 1 0 7 を形成する際のグルーレイヤとして必要な、または、十分な密着性を確保するのに必要な、さらには、他層との良好な接合特性を得るために必要な膜厚により、適宜、決定される。つまり、ダマシン配線 1 0 9 の形成には、ある膜厚以上のバリアメタル膜 1 0 5 が必要不可欠であった。

【 0 0 1 5 】

したがって、ダマシン技術を配線の形成手法として用いた場合、半導体装置の微細化が進むにつれて、配線に占めるバリアメタルの体積が相対的に増加し、導電体膜の割合が減少する。そのため、R I E 配線と比較し配線抵抗が上昇する、いわゆる細線効果が問題となっていた。

【 0 0 1 6 】

さらに、上述したように、バリアメタルは配線抵抗の削減に殆ど寄与していな

いばかりか、隣接する配線との距離を狭めて配線間容量を増大させてしまう欠点があった。

【0017】

【発明が解決しようとする課題】

上記したように、従来においては、導電膜を加工する際の歩留まりの向上や平坦化が容易で、装置の微細化にも十分に対応できるものの、配線抵抗の上昇を招いたり、配線間容量を増大させたりするという欠点があった。

【0018】

そこで、この発明は、配線抵抗の上昇や配線間容量が増大するのを抑制でき、高性能化を図ることが可能な半導体装置およびその製造方法を提供することを目的としている。

【0019】

【課題を解決するための手段】

上記の目的を達成するために、この発明の半導体装置にあっては、半導体基板の上層に設けられた絶縁膜と、この絶縁膜に形成された溝部の、少なくとも底面に選択的に設けられた導電膜と、この導電膜上に、前記溝部の側壁との間に空間領域を有して形成された配線層とを具備してなることを特徴とする。

【0020】

さらに、前記導電膜は、前記配線層よりも比抵抗が高いことを特徴とする。

【0021】

また、この発明の半導体装置にあっては、半導体基板の上層に設けられた絶縁膜と、この絶縁膜に埋め込み形成された配線層と、前記配線層の底面に設けられた第1の導電膜と、前記配線層の側壁に設けられ、前記第1の導電膜と異なる第2の導電膜とを具備してなることを特徴とする。

【0022】

さらに、前記第2の導電膜は、前記配線層と異なる材料からなることを特徴とする。

【0023】

また、この発明の半導体装置にあっては、半導体基板の上層に設けられた第1

の絶縁膜と、この第1の絶縁膜に埋め込み形成された配線層と、前記配線層の底面に設けられた第1の導電膜と、前記配線層の側壁に設けられ、前記第1の絶縁膜と異なる第2の絶縁膜とを具備してなることを特徴とする。

【0024】

また、この発明の半導体装置にあっては、半導体基板の上層に設けられた第1の絶縁膜と、この第1の絶縁膜に埋め込み形成された配線層と、前記配線層の底面に設けられた第1の導電膜と、前記配線層と前記第1の絶縁膜とは異なる第2の絶縁膜を介して形成されたコンタクトプラグとを具備してなることを特徴とする。

【0025】

また、この発明の半導体装置の製造方法にあっては、半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜に溝部を形成する工程と、前記溝部の内面に沿って導電膜を形成する工程と、前記導電膜を介して、前記溝部内に第1の導電材料を埋め込んで配線層を形成する工程と、前記溝部の側壁部分に存在する前記導電膜を選択的に除去する工程とを備えてなることを特徴とする。

【0026】

さらに、あらかじめ前記溝部の底面に存在する前記導電膜に対して選択的にプラズマ処理を施す工程を備えることを特徴とする。

【0027】

さらに、前記絶縁膜上に第2の絶縁膜を形成し、前記導電膜が除去された前記溝部の側壁と前記配線層との間に空間領域を設ける工程を備えることを特徴とする。

【0028】

さらに、前記導電膜が除去された前記溝部の側壁と前記配線層との間の領域内に、第2の絶縁膜を埋め込む工程を備えることを特徴とする。

【0029】

さらに、前記導電膜が除去された前記溝部の側壁と前記配線層との間の領域内に、第2の導電材料を埋め込む工程を備えることを特徴とする。

【0030】

さらに、前記溝部を形成した後、その内壁面に、絶縁材料からなるスペーサを形成する工程を備えることを特徴とする。

【 0 0 3 1 】

さらに、前記絶縁膜に、前記溝部に対して自己整合的にコンタクトを形成する工程を備えることを特徴とする。

【 0 0 3 2 】

また、この発明の半導体装置の製造方法にあつては、半導体基板の上方に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜に溝部を形成する工程と、前記溝部の内壁面に第 2 の絶縁膜を形成する工程と、前記溝部の内面に沿って導電膜を形成する工程と、前記導電膜を介して、前記溝部内に導電材料を埋め込んで配線層を形成する工程と、前記第 2 の絶縁膜を除去する工程とを備えてなることを特徴とする。

【 0 0 3 3 】

さらに、前記第 1 の絶縁膜上に第 3 の絶縁膜を形成し、前記第 2 の絶縁膜が除去された領域に空間領域を設ける工程を備えることを特徴とする。

【 0 0 3 4 】

さらに、前記第 2 の絶縁膜が除去された領域内に、第 3 の絶縁膜を埋め込む工程を備えることを特徴とする。

【 0 0 3 5 】

この発明の半導体装置およびその製造方法によれば、溝部の側壁部分を有効に利用できるようになる。これにより、配線抵抗を削減したり、配線間容量を低減したりすることが可能となるものである。

【 0 0 3 6 】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【 0 0 3 7 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態にかかる、ダマシン配線を有する半導体装置の断面構造を概略的に示すものである。

【 0 0 3 8 】

この半導体装置は、たとえば、半導体基板 1 1 上に設けられた酸化シリコン膜（絶縁膜／第 1 の絶縁膜） 1 2 の、その表面に配線パターン溝（溝部） 1 3 が形成されている。そして、その溝 1 3 内には、底面に選択的にバリアメタル膜（導電膜／第 1 の導電膜） 1 4 が設けられている。このバリアメタル膜 1 4 上には、上記溝 1 3 の側壁との間に空洞部（空間領域） 1 5 を有して、導電体膜（第 1 の導電材料）からなる配線層 1 6 が上記溝 1 3 の上面と略同じ高さで設けられている。また、上記酸化シリコン膜 1 2 上には、全面に、プラズマ S i O₂ 膜（第 2 / 第 3 の絶縁膜） 1 7 が設けられている。

【 0 0 3 9 】

上記空洞部 1 5 は、上記溝 1 3 の側壁部分に形成されたバリアメタル膜を選択的に除去し、さらに、上記プラズマ S i O₂ 膜 1 7 を設けることによって形成されてなるものである。

【 0 0 4 0 】

このような構成によれば、壁面に誘電率の低い空洞部 1 5 を有してダマシン配線を形成できるようになる結果、配線の形成にダマシン技術を用いた場合にも、高歩留まりを維持しつつ、配線間容量を効果的に低減することが可能となる。

【 0 0 4 1 】

次に、図 2 を参照して、上記した構成のダマシン配線の形成方法について説明する。

【 0 0 4 2 】

まず、たとえば、半導体基板 1 1 上に形成された酸化シリコン膜 1 2 に、周知のリソグラフィ法および R I E 法を用いて配線パターン溝 1 3 を形成する（同図（a）参照）。

【 0 0 4 3 】

次いで、全面にバリアメタル膜 1 4 となる T i N 膜 1 4' を、有機原料ガスを使用した C V D (Chemical Vapor Deposition) 法によって成膜する（同図（b）参照）。

【 0 0 4 4 】

次いで、異方性プラズマ処理を行って、上記TiN膜14'のうち、上記溝13の底面に露出するTiN膜14a'の膜質のみを変化させる（同図（c）参照）。

【0045】

ここで、成膜した直後の上記TiN膜14'の膜質は、カーボンなどの有機系不純物を多く含んでおり、密度が低く、非常に脆くなっている。そのため、プラズマ処理によって不純物を飛ばすことにより、緻密な膜質を有するTiN膜14a'に変質させる必要がある。

【0046】

このプラズマ処理の際、溝13内の側壁部分に存在するTiN膜14b'は、プラズマ処理が異方性のため、殆どプラズマに晒されることはない。したがって、溝13内の側壁部分に存在するTiN膜14b'は、そのまま脆い膜質を保った膜となり、溝13の底面に存在するTiN膜14a'との間に膜質差が生じることになる。

【0047】

次いで、全面に配線層16となる導電体膜（たとえば、W）16'をCVD法により堆積させて、上記溝13内を完全に埋め込む（同図（d）参照）。

【0048】

次いで、CMP法を用いて、上記酸化シリコン膜12の上面が露出するまで、上記導電体膜16'および上記TiN膜14'を除去し、平坦化を行うことで、配線層16を形成する（同図（e）参照）。

【0049】

次いで、たとえばSC-2（塩酸過水）処理により、溝13内の側壁部分に存在するTiN膜14b'を選択的に除去し、溝13の底面に存在するTiN膜14a'のみからなるバリアメタル膜14を形成する（同図（f）参照）。この場合、溝13内の側壁部分に存在するTiN膜14b'は脆いままなので、ウェットエッチングのレートが早く、上記配線層16および溝13の底面に存在するTiN膜14a'に対して選択的に除去することが可能である。

【0050】

次いで、たとえばプラズマCVD法によってプラズマSiO₂膜17を全面に堆積させることにより、上記配線層16と上記溝13の側壁との間に空洞部15が設けられてなる、図1に示した構成のダマシン配線を有する半導体装置が得られる。

【0051】

ここでは、プラズマSiO₂膜17の埋め込み特性の悪さを利用して、上記TiN膜14b'を除去したエッチング領域（空間領域）15aにプラズマSiO₂膜17が充填されるのを防ぐことにより、配線間容量を効果的に低減することが可能な上記空洞部15が形成されるようにしている。

【0052】

なお、上記においては、カバレッジの悪い膜を用いることにより、バリアメタル膜14を部分的に除去したエッチング領域15aをそのまま空洞部15として有効に利用するようにした場合を例に説明したが、これに限らず、たとえば図3(a)～(c)に示すような工程によって、エッチング領域15aを絶縁膜（第2／第3の絶縁膜）21によって埋め込むことも可能である。

【0053】

（第2の実施形態）

すなわち、上記の図2(f)に示した工程の後の工程において、上記プラズマSiO₂膜17に代えて、埋め込み特性に優れた絶縁膜21（たとえば、プラズマCVD法により形成できるTEOS（Tetra Ethylortho Silicate）系の膜や塗布により形成できるSOG（Spin On Glass）膜）を用い、この絶縁膜21を全面に堆積させた後、CMP法を用いて平坦化することにより、上記エッチング領域15aを絶縁膜21によって埋め込む。

【0054】

この実施形態の場合、ダマシン配線の形成時に、本来、バリアメタル膜14が設けられる領域（溝13内の側壁部分）を、絶縁膜21によって置換することにより、絶縁領域として利用できる。そのため、バリアメタル膜14の膜厚の分だけ、あらかじめ配線パターン溝13の溝幅を大きくしておくことにより、微細化にともなう配線抵抗の上昇を効果的に抑制することが可能となる。

【 0 0 5 5 】

(第 3 の実施形態)

図 4 (a) ~ (c) は、本発明の第 3 の実施形態にかかる、ダマシン配線を有する半導体装置の製造工程を概略的に示すものである。なお、溝 1 3 内の側壁部分に存在する T i N 膜 1 4 b ' を選択的に除去する工程までは、上記した図 2 (a) ~ (f) と同じなので、ここでは、その後の工程について説明する。

【 0 0 5 6 】

すなわち、S C - 2 処理により、溝 1 3 内の側壁部分に存在する T i N 膜 1 4 b ' を選択的に除去して、バリアメタル膜 1 4 を形成した後 (同図 (a) 参照) 、たとえばスパッタリング法によって W 膜 (第 2 の導電膜 / 第 2 の導電材料) 3 1 を全面に堆積させる (同図 (b) 参照) 。 W 膜の堆積は C V D 法によっても良い。

【 0 0 5 7 】

次いで、CMP 法を用いて、上記酸化シリコン膜 1 2 の上面が露出するまで、上記 W 膜 3 1 を除去し、平坦化を行うことで、上記配線層 1 6 と上記溝 1 3 の側壁との間のエッチング領域 1 5 a を W 膜 3 1 によって埋め込む (同図 (c) 参照) 。

【 0 0 5 8 】

この実施形態の場合、従来、バリアメタル膜 1 4 が設けられる領域 (溝 1 3 内の側壁部分) を、W 膜 3 1 によって置換することにより、配線領域として利用できる。そのため、バリアメタル膜 1 4 の膜厚の分だけ、ダマシン配線の線幅を広げることが可能となる。言い換えれば、バリアメタル膜 1 4 の膜厚分の領域を無駄なく配線として利用できるようになる結果、ダマシン配線を採用する半導体装置において、配線抵抗の上昇の問題を生じることなしに、微細化を図ることが可能となる。

【 0 0 5 9 】

なお、エッチング領域 1 5 a を埋め込む第 2 の導電膜 / 第 2 の導電材料としては W 膜に限らず、他の導電体膜を用いることも可能である。

【 0 0 6 0 】

また、上記した第1～第3の各実施形態においては、たとえば、溝13の側壁部分に、バリアメタル膜とは別に、スペーサ（第2／第3の絶縁膜）を設けるようにすることも可能である。

【0061】

（第4の実施形態）

図5（a）～（g）は、本発明の第4の実施形態にかかる、ダマシン配線を有する半導体装置の製造工程を概略的に示すものである。なお、ここでは、溝13の側壁と配線層16との間に空洞部15を設けるようにした場合（第1の実施形態）を例に、簡単に説明する。

【0062】

たとえば、半導体基板11上に形成された酸化シリコン膜12に、周知のリソグラフィ法およびR I E法を用いて配線パターン溝13を形成した後、上記酸化シリコン膜12の表面にC V D法によって第2／第3の絶縁膜であるS i N（窒化シリコン）膜を成膜する。そして、そのS i N膜を異方性エッチングにより選択的に除去し、溝13の側壁部分にのみ残存させることによって、スペーサ41を形成する（同図（a）参照）。

【0063】

この工程の後、上述した図2（b）～の工程を同様に実施することにより、溝13の側壁部分にスペーサ41を有するとともに、このスペーサ41と配線層16との間に空洞部15が設けられてなる構成の、ダマシン配線を有する半導体装置が得られる。

【0064】

このような構成によれば、第1の実施形態の効果に加え、さらに、別の効果が期待できる。すなわち、単に、高歩留まりを維持しつつ、配線間容量を効果的に低減することが可能となるのみでなく、より一層、配線間の絶縁特性を向上でき、さらなる微細化が可能となる。

【0065】

（第5の実施形態）

図6（a）～（e）は、本発明の第5の実施形態にかかる、ダマシン配線を有

する半導体装置の製造工程を概略的に示すものである。なお、ここでは、第4の実施形態に示した、溝13の側壁部分にスペーサ41を形成するようにした場合において、このスペーサ41を除去することによって上記空洞部15を設けるようにした場合について説明する。

【0066】

まず、たとえば、半導体基板11上に形成された酸化シリコン膜12に、周知のリソグラフィ法およびR I E法を用いて配線パターン溝13を形成する（同図（a）参照）。

【0067】

次いで、上記酸化シリコン膜12の表面にC V D法によって第3の絶縁膜であるS i N膜を成膜し、そのS i N膜を異方性エッチングにより選択的に除去して、溝13の側壁部分のみにS i N膜を残存させることによって、スペーサ41を形成する（同図（b）参照）。

【0068】

次いで、全面に、バリアメタル膜14となるT i N膜を、有機原料ガスを使用したC V D法によって成膜し、さらに、配線層16となるW膜をC V D法により堆積させた後、CMP法を用いて、上記酸化シリコン膜12の上面が露出するまで平坦化を行うことで、バリアメタル膜14および配線層16を形成する（同図（c）参照）。なお、T i N膜の形成はスパッタ法などでも良い。

【0069】

次いで、たとえばリン酸中にてウェットエッチングを行うことにより、溝13の側壁部分に存在するスペーサ41を選択的に除去する（同図（d）参照）。

【0070】

次いで、たとえばプラズマC V D法によって、プラズマS i O₂膜17を全面に堆積させる（同図（e）参照）。その際、プラズマS i O₂膜17の、上記スペーサ41を選択的に除去したエッチング領域15 aへの埋め込みを阻止することにより、上記溝13の側壁部分に空洞部15が設けられてなる構成のダマシン配線を有する半導体装置が得られる。

【0071】

このように、プラズマ SiO_2 などの埋め込み特性の悪い膜を故意に用いて、エッチング領域 15a が完全に埋め込まれるのを防ぐことにより、第 1 の実施形態の場合と同様に、スペーサ 41 を除去した溝 13 の側壁部分に、配線間容量を効果的に低減することが可能な空洞部 15 を形成できる。

【0072】

この実施形態によれば、配線層 16 に対して、バリアメタル膜 14 を選択的に除去することが困難な場合であっても、つまり、異方性プラズマ処理を行わずとも、配線層 16 の両側面に空洞部 15 を制御性良く形成することができる。

【0073】

(第 6 の実施形態)

図 7 (a) ~ (f) は、本発明の第 6 の実施形態にかかる、ダマシン配線を有する半導体装置の製造工程を概略的に示すものである。なお、ここでは、スタック型キャパシタを用いた DRAM セルに適用した場合について説明する。また、配線層 16 を形成する工程までは、上記した図 2 (a) ~ (e) と同じなので、ここでは、その後の工程について説明する。

【0074】

すなわち、全面に堆積された上記導電体膜 16' および上記 TiN 膜 14' を、CMP 法を用いて、上記酸化シリコン膜 12 の上面が露出するまで平坦化して配線層 16 を形成した後 (同図 (a) 参照)、たとえば Cl_2 系ガスを用いた RIE 法により、上記配線層 16 を選択的にエッチングして、ビット線 51 を形成する (同図 (b) 参照)。

【0075】

次いで、上記した第 1 の実施形態の場合と同様に、たとえば SC-2 処理により、溝 13 内の側壁部分に存在する TiN 膜 14b' を選択的に除去し、溝 13 の底面に存在する TiN 膜 14a' のみからなるバリアメタル膜 14 を形成する (同図 (c) 参照)。

【0076】

次いで、たとえば CVD 法によって窒化シリコン膜 52 を全面に堆積させ、上記 TiN 膜 14b' を除去したエッチング領域 15a と、上記配線層 16 をエッ

チングした段差領域（空間領域）15bとを、上記窒化シリコン膜52によって完全に埋め込む。そして、その窒化シリコン膜52の表面をCMP法により平坦化すると同時に、上記エッチング領域15aにサイドウォール53を形成する（同図（d）参照）。

【0077】

次いで、上記酸化シリコン膜12上にフォトレジスト膜（図示していない）を形成し、それを周知のリソグラフィ法によってパターンニングする。そして、このフォトレジスト膜および上記窒化シリコン膜52に対して高い選択比をもつC4F8系ガスを用いたRIE法によって、上記酸化シリコン膜12をエッチングし、上記半導体基板11に達するコンタクトホール54を形成する。その際、上記コンタクトホール54は、上記窒化シリコン膜52に対して自己整合的に形成される（同図（e）参照）。

【0078】

次いで、上記フォトレジスト膜を除去した後、全面にバリアメタル膜55となるTiN膜およびストレージノードコンタクト56となる導電体膜（たとえば、W）をCVD法により堆積させて、上記コンタクトホール54内を完全に埋め込む。そして、CMP法を用いて、上記酸化シリコン膜12の上面が露出するまで平坦化を行うことで、上記バリアメタル膜55および上記ストレージノードコンタクト56などのコンタクトプラグを形成する（同図（f）参照）。

【0079】

この後、キャパシタやプレート電極などの形成が、通常のDRAMセルの場合と同様に行われることになる。

【0080】

このような実施形態とした場合、スタック型キャパシタを用いたDRAMセルにおいて、ビット線51に対して自己整合的にストレージノードコンタクト56を形成することが可能となる。したがって、コンタクトホール54を形成する際に、位置合わせ余裕をとる必要がなくなる。そのため、ビット線51間の距離を十分に小さくでき、チップサイズの縮小化を図ることが可能となる。

【0081】

特に、ビット線 5 1 とストレージノードコンタクト 5 6 との間を絶縁するためのサイドウォール 5 3 を、窒化シリコン膜 5 2 を埋め込む際に同時に形成するようにしているため、工程数の削減が可能である。しかも、従来、バリアメタルが占めていた領域 (1 5 a) を有効に利用できるようになる結果、ビット線 5 1 の抵抗が上昇する、いわゆる細線効果を抑制することも容易に可能となる。

【 0 0 8 2 】

なお、上記したように、この実施形態においては、配線層 1 6 を選択的にエッチングして段差領域 1 5 b (ビット線 5 1) を形成した後に、溝 1 3 内の側壁部分に存在する T i N 膜 1 4 b' を選択的に除去するようにした場合を例に説明したが、これに限らず、たとえば T i N 膜 1 4 b' を選択的に除去した後に、ビット線 5 1 を形成するようにすることも可能である。

【 0 0 8 3 】

また、上記スタック型キャパシタを用いた D R A M セルに应用する場合においては、たとえば図 8 に示すように、少なくとも溝 1 3 とコンタクトホール 5 4 との間にスペーサ (第 2 / 第 3 の絶縁膜) 4 1 を設けることも可能である。この場合、上述した第 4 の実施形態の場合 (図 5 参照) のように、ビット線 5 1 とスペーサ 4 1 との間に空洞部 1 5 を設けることが可能となる。その結果、ビット線 5 1 とストレージノードコンタクト 5 6 との間の配線間容量を効果的に低減できる。

【 0 0 8 4 】

上記したように、配線パターン溝の側壁部分を有効に利用できるようにしている。

【 0 0 8 5 】

すなわち、ダマシン配線において、配線パターン溝の側壁と配線層との間に、空洞部を形成したり、絶縁膜を埋め込んだり、あるいは、導電体膜を埋め込むことができるようにしている。これにより、空洞部を形成するようにした場合には配線間容量が増大するのを抑制でき、絶縁膜を埋め込むようにした場合には配線間の絶縁特性を向上でき、導電体膜を埋め込むようにした場合には細線効果による配線抵抗の上昇を抑えることが可能となるなど、微細化・小チップサイズ化す

る上でも非常に有用となる。したがって、細線効果の抑制による配線抵抗の削減や配線容量の低減が効果的に可能となって、容易に高性能化を図ることができるものである。

【0086】

なお、上記した本発明の各実施形態においては、いずれも、配線パターン溝の両側壁部分にそれぞれ空洞部などを設けるようにした場合について説明したが、少なくとも他のダマシン配線と隣接する側の側壁部分にのみ設けるものであっても良い。

【0087】

その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0088】

【発明の効果】

以上、詳述したようにこの発明によれば、配線抵抗の上昇や配線間容量が増大するのを抑制でき、高性能化を図ることが可能な半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】

この発明の第1の実施形態にかかる、ダマシン配線を有する半導体装置の構成の要部を示す概略断面図。

【図2】

同じく、ダマシン配線の製造プロセスの概略を説明するために示す工程断面図。

【図3】

この発明の第2の実施形態にかかる、ダマシン配線の製造プロセスの概略を説明するために示す工程断面図。

【図4】

この発明の第3の実施形態にかかる、ダマシン配線の製造プロセスの概略を説明するために示す工程断面図。

【図 5】

この発明の第 4 の実施形態にかかる、ダマシン配線の製造プロセスの概略を説明するために示す工程断面図。

【図 6】

この発明の第 5 の実施形態にかかる、ダマシン配線の製造プロセスの概略を説明するために示す工程断面図。

【図 7】

この発明の第 6 の実施形態にかかり、スタック型キャパシタを用いた D R A M セルに適用した場合を例に、製造プロセスの概略を説明するために示す工程断面図。

【図 8】

同じく、スタック型キャパシタを用いた D R A M セルに適用した場合を例に、他の構成例を示す概略断面図。

【図 9】

従来技術とその問題点を説明するために、ダマシン配線の製造プロセスの概略を示す工程断面図。

【図 1 0】

同じく、同一の線幅を有して形成されたダマシン配線と R I E 配線とを比較して示す概略断面図。

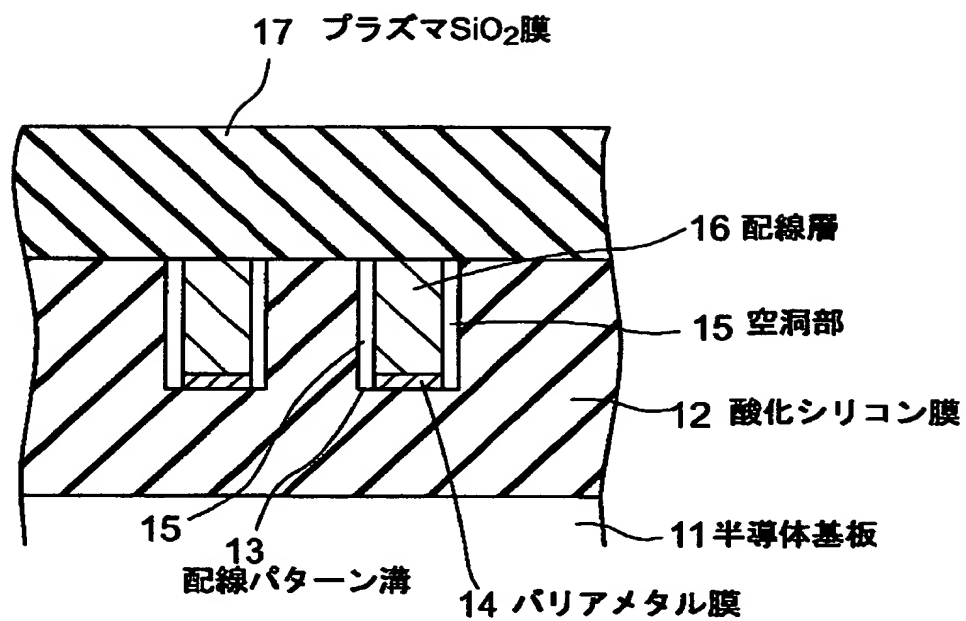
【符号の説明】

- 1 1 …半導体基板
- 1 2 …酸化シリコン膜
- 1 3 …配線パターン溝
- 1 4 …バリアメタル膜
- 1 4' , 1 4 a' , 1 4 b' …T i N 膜
- 1 5 …空洞部
- 1 5 a …エッチング領域
- 1 5 b …段差領域
- 1 6 …配線層

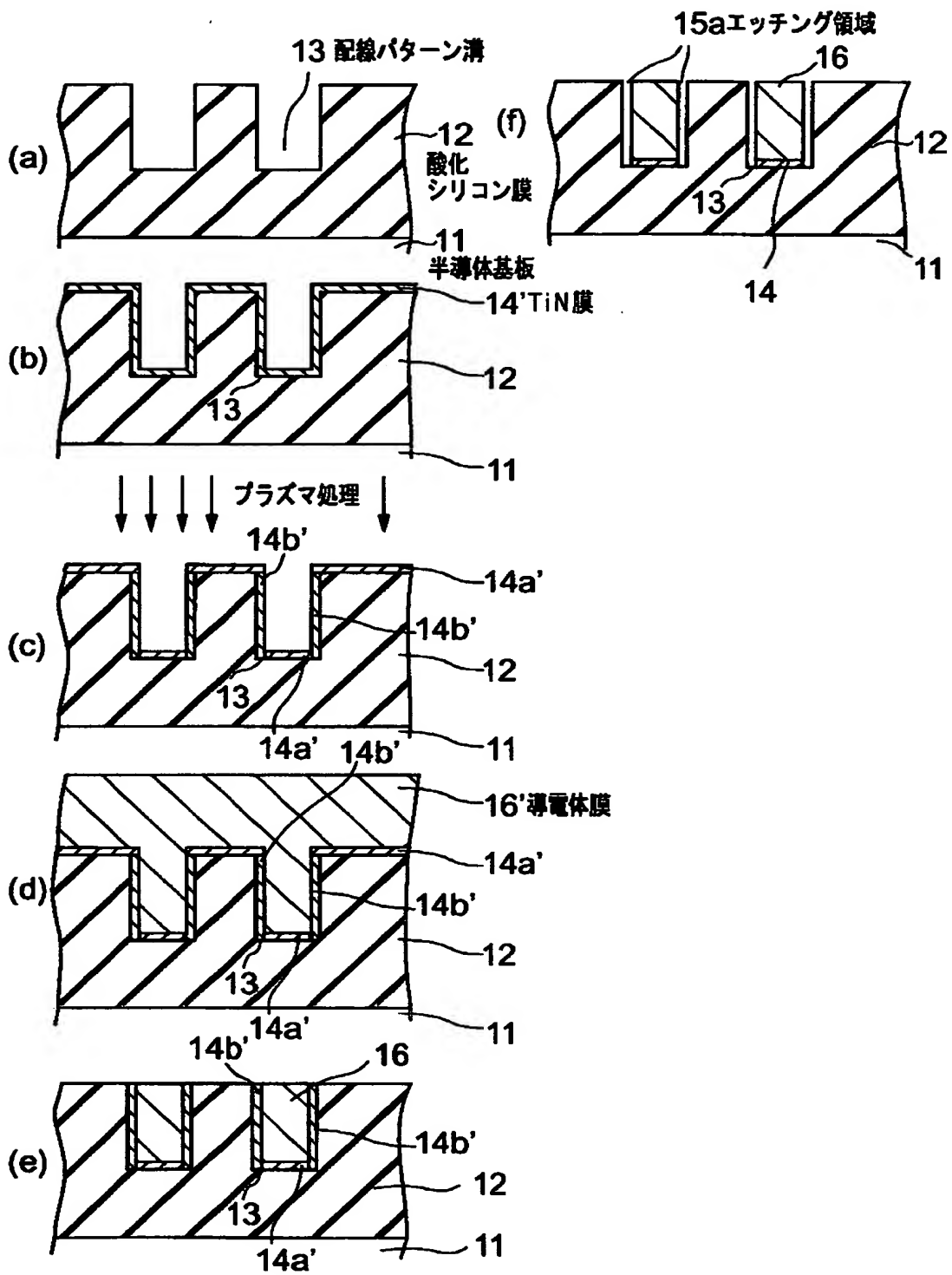
- 1 6' …導電体 (W) 膜
- 1 7…プラズマ S i O₂ 膜
- 2 1…絶縁膜
- 3 1…W膜
- 4 1…スペーサ
- 5 1…ビット線
- 5 2…窒化シリコン膜
- 5 3…サイドウォール
- 5 4…コンタクトホール
- 5 5…バリアメタル膜
- 5 6…ストレージノードコンタクト

【書類名】 図面

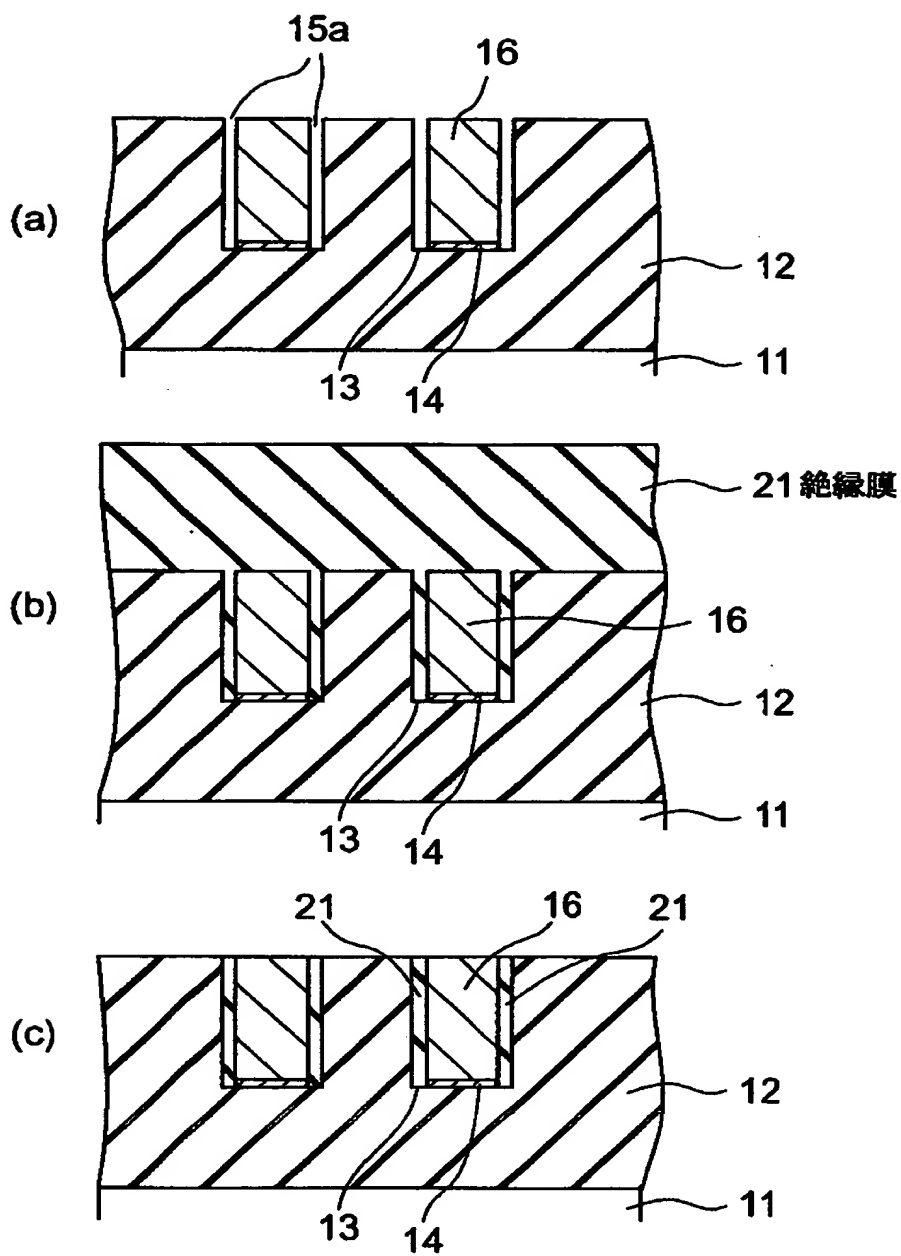
【図 1】



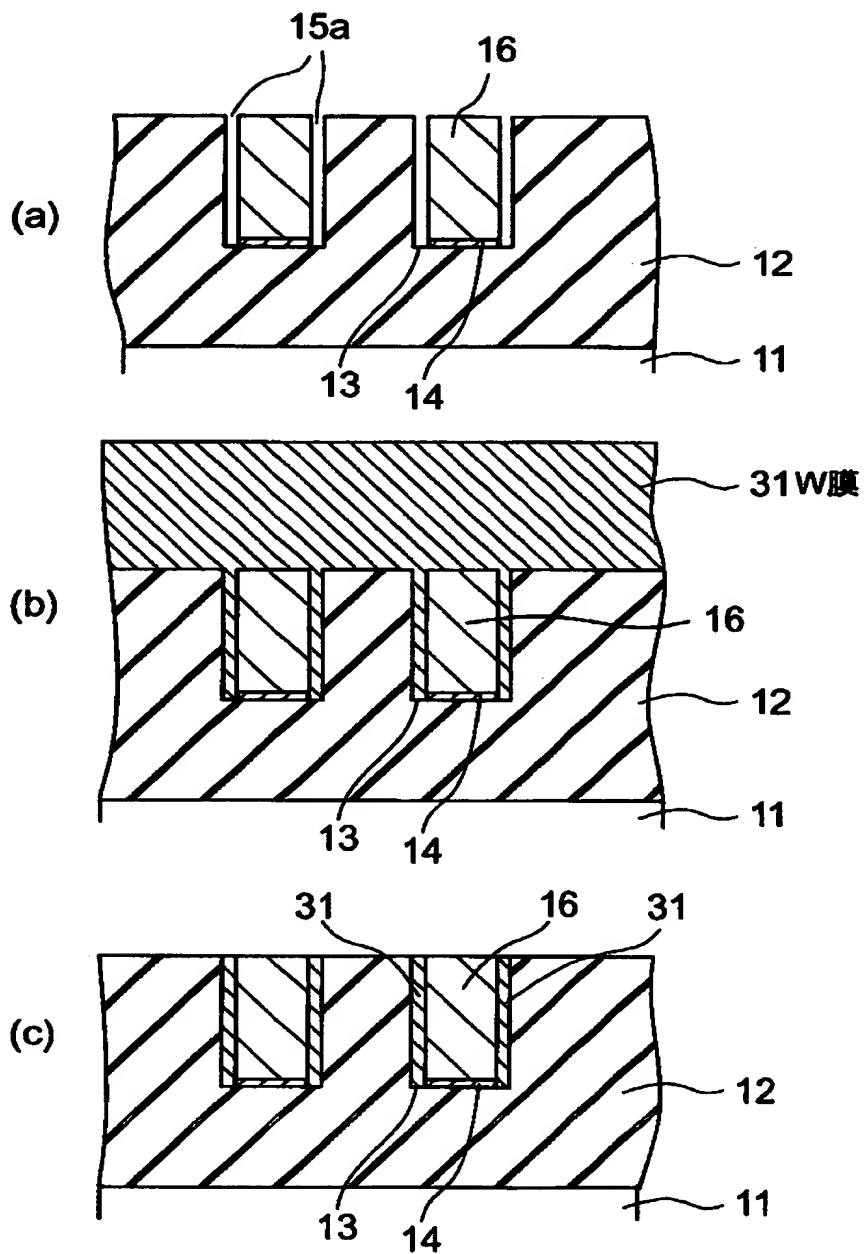
【図 2】



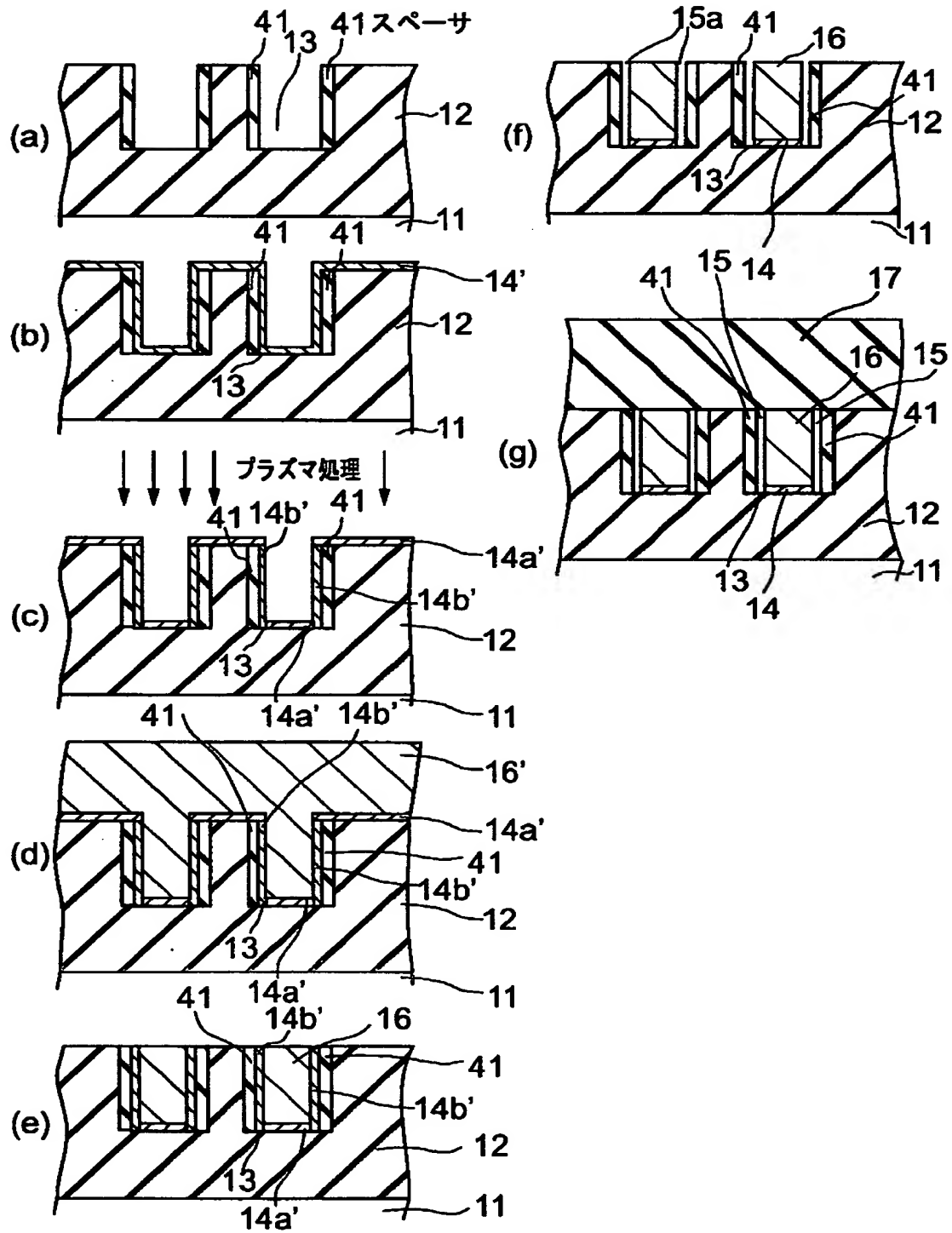
【図3】



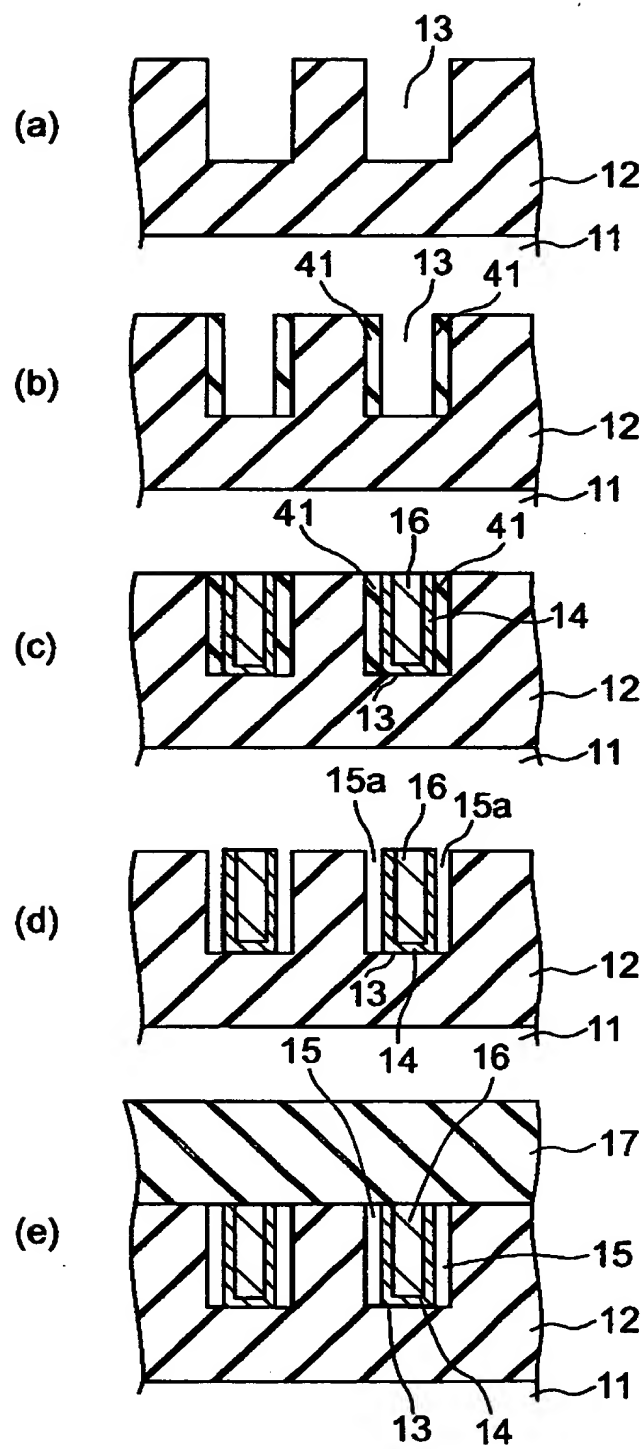
【図 4】



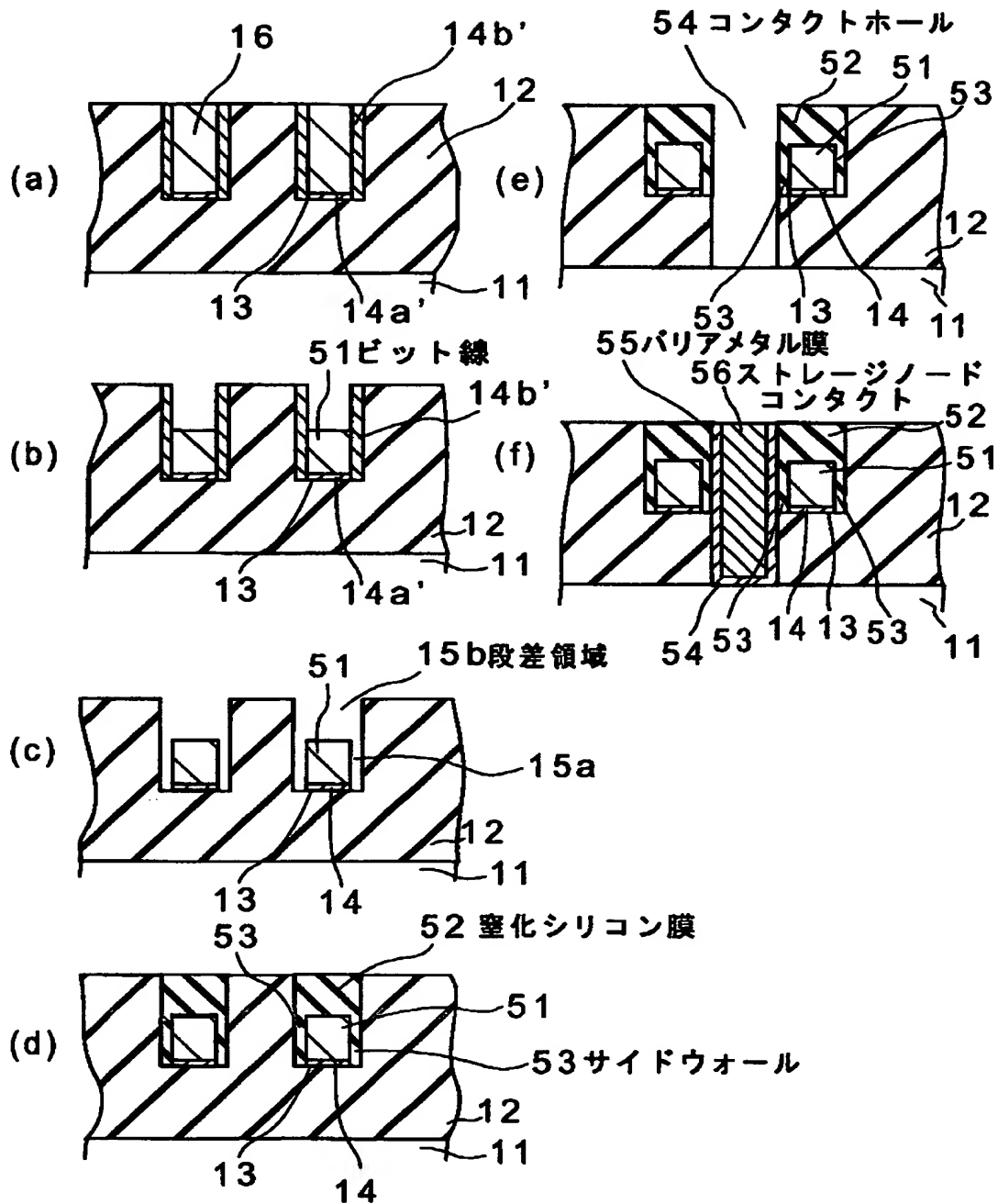
【図5】



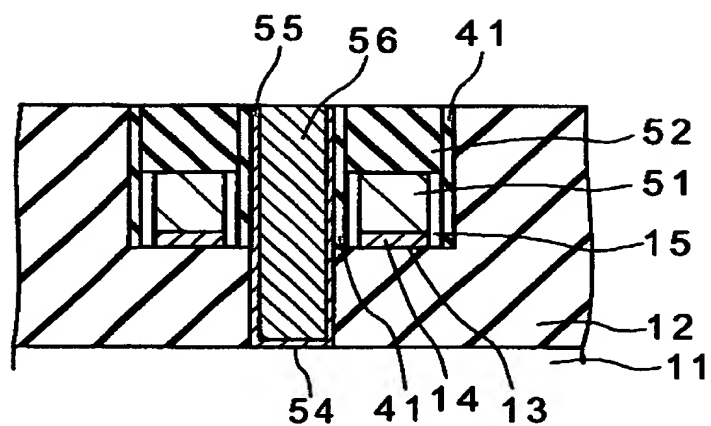
【図6】



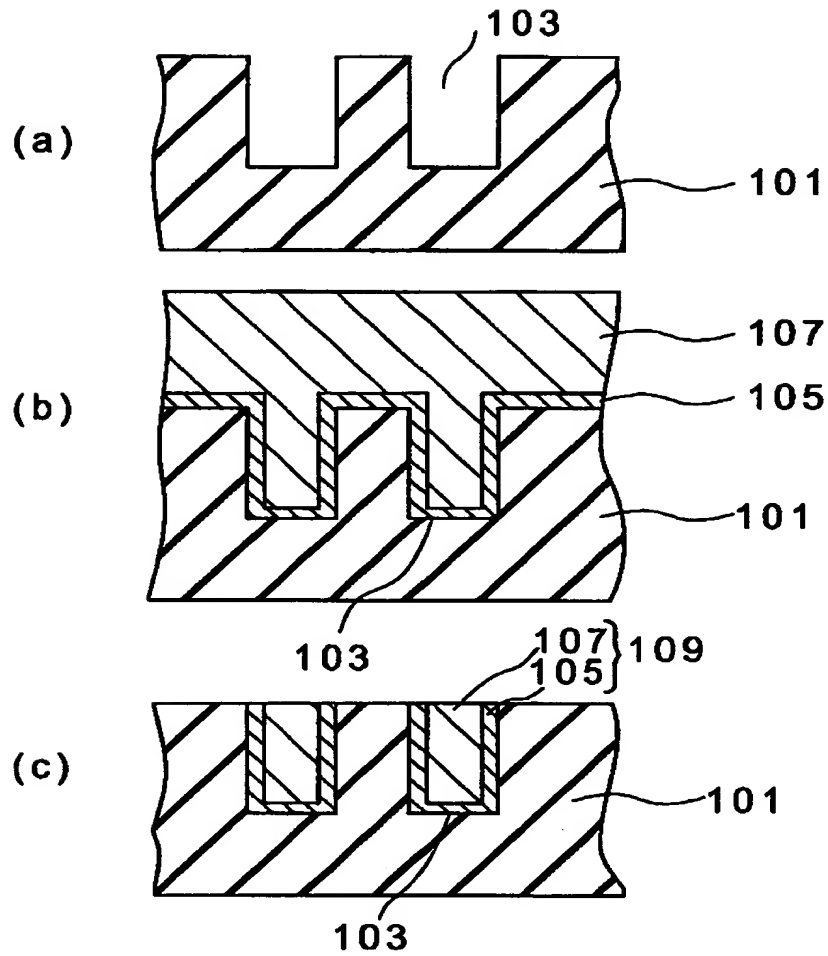
【図 7】



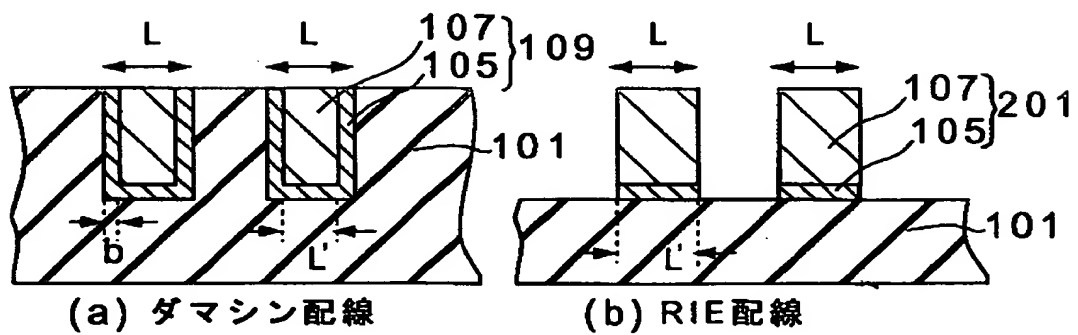
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 本発明は、ダマシン構造の配線を有する半導体装置において、配線間容量を効果的に低減できるようにすることを最も主要な特徴としている。

【解決手段】 たとえば、半導体基板 1 1 上に設けられた酸化シリコン膜 1 2 の表面に、配線パターン溝 1 3 を形成する。そして、その溝 1 3 の底面に、選択的にバリアメタル膜 1 4 を設ける。このバリアメタル膜 1 4 上には、溝 1 3 の側壁との間に空洞部 1 5 を有して、配線層 1 6 を設ける。このように、壁面に誘電率の低い空洞部 1 5 を有して、ダマシン配線が形成されてなる構成とされている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝